



产品规格书

接收卡 R505

V3.0 20170901

特点

- 1.针对彩幕、压铸铝箱等轻便结构设计，标准接口；
- 2.免外接电源设计，通过转接板向卡进行供电，增加硬件稳定性；
- 3.继承 R500 系列接收卡的所有技术优势和特点；
- 4.配合 A60X、A30、A30+、C30、C10 等异步发送卡使用。

参数表

配合发送卡	A60X、A30、A30+、C30、C10 等异步发送卡
模组类型	兼容户内户外全彩和单双色模组； 支持 MBI5041/5042、MBI5050、MY9221、MY9268 等 PWM 芯片
扫描方式	支持静态至 1/32 扫的任何扫描方式
通信方式	千兆网卡
单卡带载	256*256
多卡连接	接收卡可任意排序，可通过软件自动识别或者手动设置连接位置； 卡与卡之间以纳秒级同步
灰度等级	支持 0-65536 级
智能设置	简单几步完成智能设置，通过屏体走线设置可以配合任意走线方式的显示屏单元板
播放内容	支持播放视频、动画、图片、文本、表格、PPT、时间、计时等
测试功能	接收卡集成屏幕测试功能，通过按自检按钮实现红、绿、蓝、白、灰度、斜线、网格、花点等多种测试模式
接口	正常端子供电或 HUB 板排针供电（简化箱体设计），2 个千兆网口，2 组 60PIN 通用接口
消隐电路	支持
通信距离	超五类、六类网线 140 米内
输入电压	4V-6V
工作温度	-20℃至 85℃

接口定义

- 1) 16 组并行数据模式（默认正常模式）

表 2 正常模式的 60P 管脚定义

J1				J2			
1	C	A	2	1	C	A	2
3	B	OE	4	3	B	OE	4
5	LAT	CLK	6	5	LAT	CLK	6
7	D	E	8	7	D	E	8
9	R1a	G1	10	9	R9a	G9	10
11	R1b	B1	12	11	R9b	B9	12
13	GND	R2a	14	13	GND	R10a	14

15	G2	R2b	16	15	G10	R10b	16
17	B2	R3a	18	17	B10	R11a	18
19	G3	GND	20	19	G11	GND	20
21	R3b	B3	22	21	R11b	B11	22
23	R4a	G4	24	23	R12a	G12	24
25	R4b	B4	26	25	R12b	B12	26
27	NC	NC	28	27	NC	NC	28
29	NC	VCC	30	29	NC	VCC	30
31	C	A	32	31	C	A	32
33	B	OE	34	33	B	OE	34
35	LAT	CLK	36	35	LAT	CLK	36
37	D	E	38	37	D	E	38
39	R5a	G5	40	39	R13a	G13	40
41	R5b	B5	42	41	R13b	B13	42
43	GND	R6a	44	43	GND	R14a	44
45	G6	R6b	46	45	G14	R14b	46
47	B6	R7a	48	47	B14	R15a	48
49	G7	GND	50	49	G15	GND	50
51	R7b	B7	52	51	R15b	B15	52
53	R8a	G8	54	53	R16a	G16	54
55	R8b	B8	56	55	R16b	B16	56
57	NC	NC	58	57	NC	NC	58
59	NC	VCC	60	59	NC	VCC	60

表 2 中，A、B、OE、LAT、CLK、C、D、E 这几个信号在 J1~J2 的定义是一样的，也就是只需要 FPGA 管脚数为 8PINS，而 16 组 Rxa、Gx、Rxb、Bx 信号独立，需要 FPGA 管脚数为 64PINS，共需要 8+64=72PINS。

2) 24 组并行数据模式

表 3 24 组并行数据模式的 60P 管脚定义

J1				J2			
1	C	A	2	1	C	A	2
3	B	OE	4	3	B	OE	4
5	LAT	CLK	6	5	LAT	CLK	6
7	D	E	8	7	D	E	8
9	F/SR	R1	10	9	F/SR	R13	10
11	G1	B1	12	11	G13	B13	12
13	GND	R2	14	13	GND	R14	14
15	G2	B2	16	15	G14	B14	16
17	R3	G3	18	17	R15	G15	18
19	B3	GND	20	19	B15	GND	20
21	R4	G4	22	21	R16	G16	22
23	B4	R5	24	23	B16	R17	24
25	G5	B5	26	25	G17	B17	26
27	R6	G6	28	27	R18	G18	28

29	B6	VCC	30		29	B18	VCC	30
31	C	A	32		31	C	A	32
33	B	OE	34		33	B	OE	34
35	LAT	CLK	36		35	LAT	CLK	36
37	D	E	38		37	D	E	38
39	F/SR	R7	40		39	F/SR	R19	40
41	G7	B7	42		41	G19	B19	42
43	GND	R8	44		43	GND	R20	44
45	G8	B8	46		45	G20	B20	46
47	R9	G9	48		47	R21	G21	48
49	B9	GND	50		49	B21	GND	50
51	R10	G10	52		51	R22	G22	52
53	B10	R11	54		53	B22	R23	54
55	G11	B11	56		55	G23	B23	56
57	R12	G12	58		57	R24	G24	58
59	B12	VCC	60		59	B24	VCC	60

表 3 中，A、B、OE、LAT、CLK、C、D、E 这几个信号在 J1~J2 的定义是一样的，也就是只需要 FPGA 管脚数为 8PINs，而 24 组 Rx、Gx、Bx 信号独立，需要 FPGA 管脚数为 72PINs，共需要 8+72=80PINs。

3) 28 组并行数据模式

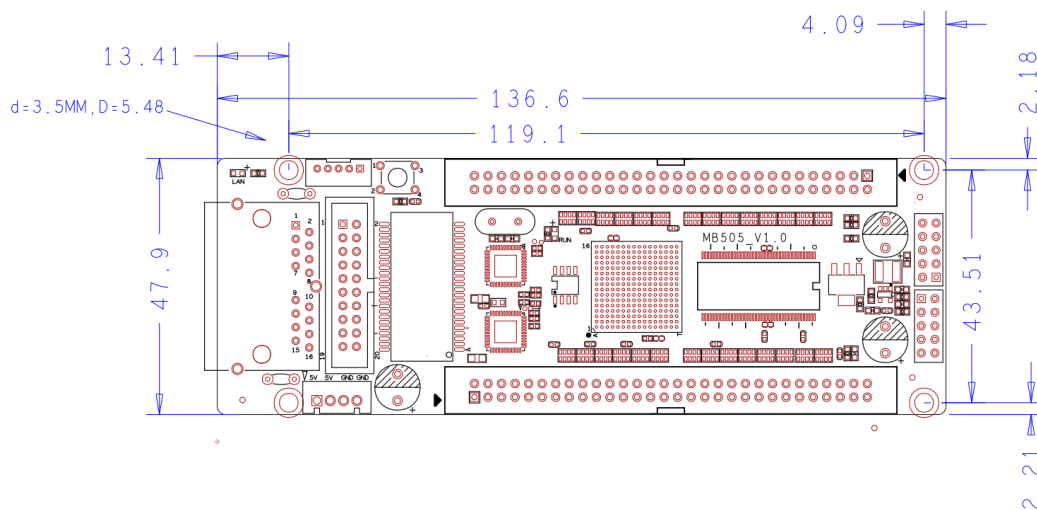
表 4 28 组并行数据模式的 60P 管脚定义

J1				J2			
1	C	A	2	1	C	A	2
3	B	OE	4	3	B	OE	4
5	LAT	CLK	6	5	LAT	CLK	6
7	R1	G1	8	7	R15	G15	8
9	B1	R2	10	9	B15	R16	10
11	G2	B2	12	11	G16	B16	12
13	GND	R3	14	13	GND	R17	14
15	G3	B3	16	15	G17	B17	16
17	R4	G4	18	17	R18	G18	18
19	B4	GND	20	19	B18	GND	20
21	R5	G5	22	21	R19	G19	22
23	B5	R6	24	23	B19	R20	24
25	G6	B6	26	25	G20	B20	26
27	R7	G7	28	27	R21	G21	28
29	B7	VCC	30	29	B21	VCC	30
31	C	A	32	31	C	A	32
33	B	OE	34	33	B	OE	34
35	LAT	CLK	36	35	LAT	CLK	36
37	R8	G8	38	37	R22	G22	38
39	B8	R9	40	39	B22	R23	40
41	G9	B9	42	41	G23	B23	42

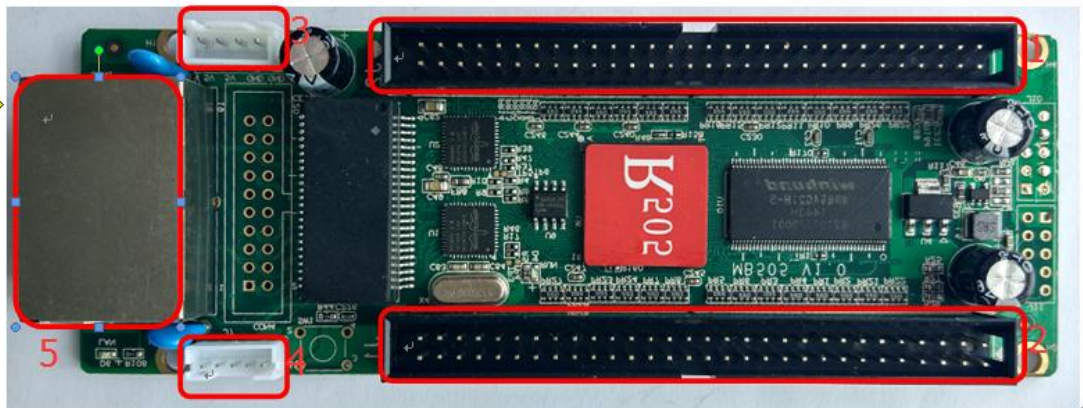
43	GND	R10	44		43	GND	R24	44
45	G10	B10	46		45	G24	B24	46
47	R11	G11	48		47	R25	G25	48
49	B11	GND	50		49	B25	GND	50
51	R12	G12	52		51	R26	G26	52
53	B12	R13	54		53	B26	R27	54
55	G13	B13	56		55	G27	B27	56
57	R14	G14	58		57	R28	G28	58
59	B14	VCC	60		59	B28	VCC	60

表 4 中, A、B、C、OE、LAT、CLK 这几个信号在 J1~J2 的定义是一样的, 也就是只需要 FPGA 管脚数为 6PINS, 而 28 组 Rx、Gx、Bx 信号独立, 需要 FPGA 管脚数为 $28 \times 3 = 84$ PINS, 共需要 $6 + 84 = 90$ PINS。

尺寸图



外观说明



①：1 组 2X30PIN 标准通用接口，连接 LED 屏幕

②：1 组 2X30PIN 标准通用接口，连接 LED 屏幕

③：指示灯接口

④：电源端子，连接 5V 电源

⑤：千兆网口接口

技术参数

	最小值	典型值	最大值
额定电压 (V)	4.2	5.0	5.5
存储温度(°C)	-40	25	105
工作环境温度(°C)	-40	25	80
工作环境湿度(%)	0.0	30	95

注意事项

1) 为确保系统的长期稳定运行，请尽量使用标准的 5V 电源电压供电。